

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Jae-kwan KIM et al. :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: January 5, 2004 : Attorney Docket No. SEC.1072
For: CONTROL SIGNAL GENERATION CIRCUIT AND DATA TRANSMISSION
CIRCUIT HAVING THE SAME

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date under the
International Convention of the following Korean application:

Appln. No. 10-2003-0000639 filed January 6, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: January 5, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

---This is to certify that the following application annexed hereto---
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0000639
Application Number

출원 년 월 일 : 2003년 01월 06일
Date of Application JAN 06, 2003

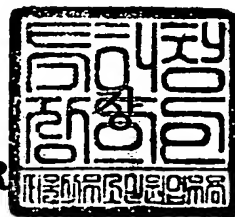
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 07 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0020 |
| 【제출일자】 | 2003.01.06 |
| 【국제특허분류】 | G11C |
| 【발명의 명칭】 | 제어신호 발생회로 및 상기 제어신호 발생회로를 구비하는 데이터 전송회로 |
| 【발명의 영문명칭】 | Control signal generation circuit and data transmission circuit having the |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 이영필 |
| 【대리인코드】 | 9-1998-000334-6 |
| 【포괄위임등록번호】 | 1999-009556-9 |
| 【대리인】 | |
| 【성명】 | 정상빈 |
| 【대리인코드】 | 9-1998-000541-1 |
| 【포괄위임등록번호】 | 1999-009617-5 |
| 【발명자】 | |
| 【성명의 국문표기】 | 김재관 |
| 【성명의 영문표기】 | KIM, Jae Kwan |
| 【주민등록번호】 | 710407-1042434 |
| 【우편번호】 | 463-060 |
| 【주소】 | 경기도 성남시 분당구 이매동 아름마을 풍림아파트 516-1401 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 최정환 |
| 【성명의 영문표기】 | CHOI, Jung Hwan |
| 【주민등록번호】 | 680223-1674516 |

【우편번호】 442-070
【주소】 경기도 수원시 팔달구 인계동 366번지 삼성@ 102-902
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 19 면 19,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 11 항 461,000 원
【합계】 509,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

데이터 전송회로는 인에이블 신호에 응답하여 스트로브 신호 및 클락신호를 수신하고, 상기 스트로브신호의 상승에지에 응답하여 활성화되는 기입 제어신호를 발생하고, 상기 기입 제어신호가 활성화된 후의 상기 클락신호의 최초 상승에지 또는 최초 하강에지에 응답하여 활성화되는 독출 제어신호를 발생하는 제어신호 발생회로; 상기 기입 제어신호에 응답하여 활성화되고, 상기 스트로브 신호에 동기되어 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 입력 제어신호를 순차적으로 출력하는 기입 스테이트 머신; 상기 기입 스테이트 머신으로부터 순차적으로 출력되는 상기 입력 제어신호에 응답하여 직렬 데이터를 병렬 데이터로 변환하고, 래치하는 변환회로; 상기 독출 제어신호에 응답하여 활성화되고, 상기 클락신호에 동기되어 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 출력 제어신호를 순차적으로 출력하는 독출 스테이트 머신; 및 상기 독출 스테이트 머신으로부터 순차적으로 출력되는 상기 출력 제어신호에 응답하여 상기 변환회로에 래치된 상기 병렬 데이터를 상기 직렬 데이터와 동일한 순서로 출력하는 선택회로를 구비한다.

【대표도】

도 1

【색인어】

레이턴시, 기입 스테이트 머신, 독출 스테이트 머신

【명세서】**【발명의 명칭】**

제어신호 발생회로 및 상기 제어신호 발생회로를 구비하는 데이터 전송회로 {Control signal generation circuit and data transmission circuit having the same}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 본 발명의 제1실시예에 따른 데이터 전송회로의 블록도를 나타낸다.

도 2는 본 발명의 제2실시예에 따른 데이터 전송회로의 블록도를 나타낸다.

도 3은 도 2에 도시된 제어신호 발생회로의 회로도를 나타낸다.

도 4는 본 발명의 제1실시예 및 제2실시예에 따른 데이터 전송회로의 동작 타이밍도를 나타낸다.

도 5는 본 발명의 제2실시예에 따른 제어신호 발생회로의 동작을 나타내는 표이다.

도 6은 본 발명의 제2실시예에 따른 제어신호 발생회로의 동작을 나타내는 흐름도이다.

도 7은 내부 스트로브 신호의 위상이 내부 클락신호의 위상보다 빠른 경우, 독출 스테이트 머신 인에이블 신호의 활성화시점과 독출 스테이트 머신의 최초 동작시점을 나타내는 타이밍도를 나타낸다.

도 8은 내부클락신호의 위상이 내부 스트로브신호의 위상보다 빠른 경우, 독출 스테이트 머신 인에이블 신호의 활성화시점과 독출 스테이트 머신의 최초 동작시점을 나타내는 타이밍도를 나타낸다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 반도체 장치로 구현되는 데이터 전송회로에 관한 것으로, 보다 상세하게는 최소의 레이턴시를 갖도록 데이터 기입 제어신호 및 데이터 독출 제어신호를 발생하는 제어신호 발생회로, 및 상기 제어신호 발생회로를 구비하는 데이터 전송회로 및 데이터 전송방법에 관한 것이다.
- <11> 반도체 시스템이 외부로부터 입력되는 데이터를 수신하는 경우, 데이터의 시작 및 샘플링 시간을 나타내는 부가적인 신호가 필요하다. 이러한 신호를 스트로브 신호(strobe signal)라 한다.
- <12> 상기 반도체 시스템을 동작시키기 위한 클락신호 및 상기 스트로브 신호사이에서 시간적 차이가 발생하는 경우, 이러한 시간적 차이를 보상하여 안전하게 외부로부터 입력되는 데이터를 수신하기 위한 소정의 수신회로가 필요하다.
- <13> 이러한 시간적 차이는 서로 다른 클락신호로 동작하는 반도체 시스템들사이에 발생할 뿐만 아니라, 동일한 클락신호로 동작하는 반도체 시스템내에서도 발생한다.

- <14> 데이터 경로, 패키지 또는 소켓 등에 의한 지연에 의하여 동일한 클락신호에 동기된 데이터 및 스트로브 신호사이에 시간적 차이가 발생한다. 따라서 이러한 시간적 차이에 의한 오동작을 방지하기 위한 보정회로가 필요하다.
- <15> 반도체 시스템에 사용되는 보정회로는 스트로브 신호에 동기되어 상기 반도체 시스템의 외부로부터 입력되는 데이터를 샘플링하고, 병렬 래치나 플립플롭을 이용하여 샘플링된 데이터의 비트 시간(bit time)을 증가시킨 후, 상기 반도체 시스템의 내부 클락신호를 사용하여 상기 샘플링된 데이터를 다시 샘플링하여 출력한다. 여기서 비트 시간은 상기 내부클락신호의 한 주기의 절반에 해당되는 시간을 의미한다.
- <16> 이러한 보정회로는 샘플링된 데이터의 비트 시간을 증가시켜 샘플 시간 (sample time)과 유지 시간(hold time)을 안전하게 확보하는 장점이 있으나, 데이터 샘플링에 레이턴시(latency)를 발생시키는 문제점이 있다. 즉, 상기 보정회로에 의하여 데이터 입력과 데이터 출력사이에 불필요한 레이턴시가 발생한다. 따라서 상기 불필요한 레이턴시로 인하여 상기 반도체 시스템의 액세스 시간이 증가된다.

【발명이 이루고자 하는 기술적 과제】

- <17> 따라서 본 발명이 이루고자 하는 기술적인 과제는 데이터 입력과 데이터 출력사이에서 발생하는 불필요한 레이턴시를 감소시키기 위한 제어신호들을 발생하는 제어신호 발생회로 및 상기 제어신호 발생회로를 구비하는 데이터 전송회로를 제공하는 것이다.
- <18> 또한, 본 발명이 이루고자 하는 기술적인 과제는 데이터 액세스 시간을 감소시키기 위한 데이터 전송방법에 관한 것이다.

【발명의 구성 및 작용】

- <19> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 데이터 전송회로는 인에이블 신호에 응답하여 스트로브 신호 및 클락신호를 수신하고, 상기 스트로브신호의 상승에지에 응답하여 활성화되는 기입 제어신호를 발생하고, 상기 기입 제어신호가 활성화된 후의 상기 클락신호의 최초 상승에지 또는 최초 하강에지에 응답하여 활성화되는 독출 제어신호를 발생하는 제어신호 발생회로; 상기 기입 제어신호에 응답하여 활성화되고, 상기 스트로브 신호에 동기되어 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 입력 제어신호를 순차적으로 출력하는 기입 스테이트 머신; 상기 기입 스테이트 머신으로부터 순차적으로 출력되는 상기 입력 제어신호에 응답하여 직렬 데이터를 병렬 데이터로 변환하고, 래치하는 변환회로; 상기 독출 제어신호에 응답하여 활성화되고, 상기 클락신호에 동기되어 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 출력 제어신호를 순차적으로 출력하는 독출 스테이트 머신; 및 상기 독출 스테이트 머신으로부터 순차적으로 출력되는 상기 출력 제어신호에 응답하여 상기 변환회로에 래치된 상기 병렬 데이터를 상기 직렬 데이터와 동일한 순서로 출력하는 선택회로를 구비한다.
- <20> 상기 변환회로는 다수개의 플립플롭들을 구비하며, 상기 다수개의 플립플롭들 각각은 대응되는 상기 입력 제어신호에 응답하여 상기 직렬 데이터를 구성하는 각 데이터를 래치한다.
- <21> 상기 독출 스테이트 머신은 상기 독출 제어신호가 활성화된 후의 상기 클락신호의 최초 상승에지 또는 최초 하강에지에 응답하여 최초로 상기 내부 스테이트를 변화시킨다

<22> 상기 기술적 과제를 달성하기 위한 제어신호 발생회로는 스트로브 신호를 수신하는 제1입력단; 클락신호를 수신하는 제2입력단; 인에이블 신호를 수신하는 제어단; 기입 제어신호를 출력하는 제1출력단; 독출 제어신호를 출력하는 제2출력단; 및 선택신호를 출력하는 제3출력단을 구비하며, 상기 제어신호 발생회로는 활성화되는 상기 인에이블 신호에 응답하여 상기 스트로브 신호 및 상기 클락신호를 수신하고, 상기 스트로브신호의 상승에지에 응답하여 활성화되는 기입 제어신호를 발생하고, 상기 기입 제어신호가 활성화된 후의 상기 클락신호의 최초 상승에지 또는 최초 하강에지에 응답하여 활성화되는 독출 제어신호를 발생하고, 상기 스트로브 신호의 위상과 상기 클락신호의 위상을 비교하고 그 비교결과에 상응하는 상기 선택신호를 출력한다.

<23> 상기 제어신호 발생회로는 상기 스트로브 신호에 클락되어 상기 인에이블 신호를 래치하는 제1래치; 상기 스트로브 신호의 상보 신호에 클락되어 상기 제1래치의 출력신호를 래치하는 제2래치; 상기 스트로브 신호에 클락되어 상기 제2래치의 출력신호를 상기 기입 제어신호로서 출력하는 제3래치; 상기 클락신호에 클락되어 상기 인에이블 신호를 래치하는 제4래치; 상기 클락신호의 상보신호에 클락되어 상기 제4래치의 출력신호를 래치하는 제5래치; 상기 클락신호에 클락되어 상기 제5래치의 출력신호를 래치하는 제6래치; 상기 클락신호의 상보신호에 클락되어 상기 제6래치의 출력신호를 래치하는 제7래치; 상기 스트로브 신호에 클락되어 상기 제7래치의 출력신호를 래치하는 제8래치; 상기 제1래치의 출력신호 및 상기 제4래치의 출력신호를 수신하는 제1 SR 래치; 상기 제2래치의 출력신호 및 상기 제4래치의 출력신호를 수신하는 제2 SR 래치; 상기 제1래치의 출력신호 및 상기 제5래치의 출력신호를 수신하는 제3 SR 래치; 상기 제2 SR 래치의 출력신호 및 상기 제3 SR의 출력신호를 수신하는 제1배타 논리합; 상기 제1 SR 래치의 출력

신호 및 상기 제1 배타논리합의 출력신호를 수신하고, 이들의 배타 논리합 결과를 선택 신호로서 출력하는 제2배타 논리합; 및 상기 제1배타 논리합의 출력신호 및 상기 제2 배타 논리합의 출력신호의 조합에 응답하여 상기 제5 래치 내지 상기 제8래치의 출력신호들 중에서 하나를 독출 제어신호로서 출력하는 멀티플렉서를 구비한다.

<24> 상기 기술적 과제를 달성하기 위한 데이터 전송회로는 인에이블 신호에 응답하여 스트로브 신호 및 클락신호를 수신하고, 상기 스트로브신호의 상승에지에 응답하여 활성화되는 기입 제어신호를 발생하고, 상기 기입 제어신호가 활성화된 후의 상기 클락신호의 최초 상승에지 또는 최초 하강에지에 응답하여 활성화되는 독출 제어신호를 발생하고, 상기 스트로브 신호의 위상과 상기 클락신호의 위상을 비교하고 그 비교결과에 상응하는 선택신호를 출력하는 제어신호 발생회로; 상기 기입 제어신호에 응답하여 활성화되고, 상기 스트로브 신호에 동기되어 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 입력 제어신호를 순차적으로 출력하는 기입 스테이트 머신; 상기 기입 스테이트 머신으로부터 순차적으로 출력되는 상기 입력 제어신호에 응답하여 직렬 데이터를 병렬 데이터로 변환하고, 래치하는 변환회로; 상기 독출 제어신호에 응답하여 활성화되고, 상응하는 상기 선택신호의 상태에 따라 결정되는 상기 클락신호의 상승에지 또는 하강에지로부터 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 출력 제어신호를 순차적으로 출력하는 독출 스테이트 머신; 및 상기 독출 스테이트 머신으로부터 순차적으로 출력되는 상기 출력 제어신호에 응답하여 상기 변환회로에 래치된 상기 병렬 데이터를 상기 직렬 데이터와 동일한 순서로 출력하는 선택회로를 구비한다.

<25> 본 발명에 따른 데이터 전송방법은 인에이블 신호에 응답하여 스트로브 신호 및 클락신호를 수신하고, 상기 스트로브신호의 상승에지에 응답하여 활성화되는 기입 제어신호를 발생하고, 상기 기입 제어신호가 활성화된 후 처음으로 상태를 천이하는 클락신호의 에지에 응답하여 활성화되는 독출 제어신호를 발생하는 단계; 상기 기입 제어신호에 응답하여 활성화되고, 상기 스트로브 신호에 동기되어 내부 스테이트를 순차적으로 변화시키고 순차적으로 변화되는 상기 내부 스테이트에 응답하여 입력 제어신호를 순차적으로 출력하는 단계; 상기 기입 스테이트 머신으로부터 순차적으로 출력되는 상기 입력 제어신호에 응답하여 직렬 데이터를 병렬 데이터로 변환하고, 래치하는 단계; 상기 독출 제어신호에 응답하여 활성화되고, 상기 클락신호에 동기되어 내부 스테이트를 순차적으로 변화시키고 순차적으로 변화되는 상기 내부 스테이트에 응답하여 출력 제어신호를 순차적으로 출력하는 단계; 및 상기 독출 스테이트 머신으로부터 순차적으로 출력되는 상기 출력 제어신호에 응답하여 상기 변환회로에 래치된 상기 병렬 데이터를 상기 직렬 데이터와 동일한 순서로 출력하는 단계를 구비한다.

<26> 상기 독출 제어신호를 순차적으로 출력하는 단계는 상기 독출 제어신호가 활성화된 후의 상기 클락신호의 최초 상승에지 또는 최초 하강에지에 응답하여 최초로 상기 내부 스테이트를 변화시킨다.

<27> 본 발명에 따른 데이터 전송방법은 인에이블 신호에 응답하여 스트로브 신호 및 클락신호를 수신하고, 상기 스트로브신호의 상승에지에 응답하여 활성화되는 기입 제어신호를 발생하고, 상기 기입 제어신호가 활성화된 후의 상기 클락신호의 최초 상승에지 또는 최초 하강에지에 응답하여 활성화되는 독출 제어신호를 발생하고, 상기 스트로브 신호의 위상과 상기 클락신호의 위상을 비교하고 그 비교결과에 상응하는 선택신호를 출력

하는 단계; 상기 기입 제어신호에 응답하여 활성화되고, 상기 스트로브 신호에 동기되어 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 입력 제어신호를 순차적으로 출력하는 단계; 상기 기입 스테이트 머신으로부터 순차적으로 출력되는 상기 입력 제어신호에 응답하여 직렬 데이터를 병렬 데이터로 변환하고, 래치하는 단계; 상기 독출 제어신호에 응답하여 활성화되고, 상응하는 상기 선택 신호의 상태에 따라 결정되는 상기 클락신호의 상승에지 또는 하강에지로부터 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 출력 제어신호를 순차적으로 출력하는 단계; 및 상기 독출 스테이트 머신으로부터 순차적으로 출력되는 상기 출력 제어신호에 응답하여 상기 변환회로에 래치된 상기 병렬 데이터를 상기 직렬 데이터와 동일한 순서로 출력하는 단계를 구비한다.

<28> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<29> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<30> 도 1은 본 발명의 제1실시예에 따른 데이터 전송회로의 블록도를 나타낸다. 도 1을 참조하면, 데이터 전송회로(100)는 입력 파이프라인 구조를 갖는 입력버퍼로서, 지연동기루프(Delay Locked Loop; 10), 제어신호 발생회로(20), 기입 스테이트 머신(write state machine; 30), 변환회로(40), 독출 스테이트 머신(read state machine; 50) 및 선택회로(60)를 구비한다.

- <31> 도 4는 본 발명의 제1실시예에 따른 데이터 전송회로의 동작 타이밍도를 나타낸다.
도 1 및 도 4를 참조하여 데이터 전송회로(100)의 동작을 설명하면 다음과 같다.
- <32> 지연동기루프(10)는 스트로브 신호(Strobe)를 수신하고, 스트로브 신호 (Strobe)와 90도의 위상차를 갖는 내부 스트로브 신호(wclk)를 제어신호 발생회로(20) 및 기입 스테이트 머신(30)으로 출력한다.
- <33> 입력 데이터(Data_In)를 샘플링하는 경우, 최대한의 셋업 시간(setup time)/유지시간(hold time)을 확보하기 위한 내부 스트로브 신호(wclk)가 기입 스테이트 머신(30)의 클락신호로서 사용된다.
- <34> 제어신호 발생회로(20)는 인에이블 신호(resetnn)에 응답하여 내부 스트로브 신호(wclk) 및 내부 클락신호(rclk)를 수신하고, 내부 스트로브신호(wclk)의 상승에지에 응답하여 활성화되는 기입 제어신호(wresetnn)를 발생하고, 기입 제어신호 (wresetnn)가 활성화된 후의 내부 클락신호(rclk)의 최초 상승에지 또는 최초 하강에지 응답하여 활성화되는 독출 제어신호(rresetnn)를 발생한다.
- <35> 기입 스테이트 머신(30)은 기입 제어신호(wresetnn)에 응답하여 활성화되고, 내부 스트로브 신호(wclk)의 상승에지 및 하강에지에 동기되어 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 입력 제어신호(en0, en1, en2, en3)를 순차적으로 발생하여 변환회로(40)로 출력한다.
- <36> 변환회로(40)는 다수개의 플립플롭들(41, 43, 45, 47)을 구비하며, 기입 스테이트 머신(40)으로부터 순차적으로 출력되는 입력 제어신호(en0, en1, en2, en3)에 응답하여

입력되는 직렬 데이터(Data_In)를 순차적으로 래치하고, 병렬 데이터 (d0, d1, d2, d3)로 변환한다.

<37> 각 플립플롭(41, 43, 45, 47)은 대응되는 입력 제어신호(en0, en1, en2, en3)에 응답하여 직렬 데이터(Data_In)를 순차적으로 래치한다. 따라서 각 플립플롭(41, 43, 45, 47)에 의하여 출력 데이터(d0, d1, d2, d3)의 비트 타임은 증가한다.

<38> 따라서 증가된 비트 타임으로 인하여, 스트로브 신호(Strobe) 및 내부 클락신호(rclk)의 시간적 차이에도 불구하고 안정적으로 입력 데이터(Data_In)를 샘플링을 할 수 있으므로, 입력 데이터(Data_In)의 손실은 방지된다. 따라서 변환회로 (40)는 직렬-병렬 데이터 변환기(serial to parallel data converter)의 일예이다.

<39> 독출 스테이트 머신(50)은 독출 제어신호(rresetn)에 응답하여 활성화되고, 내부 클락신호(rclk)의 상승에지 및 하강에지에 동기되어 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 출력 제어신호(ren0, ren1, ren2, ren3)를 순차적으로 발생하여 선택회로(60)로 출력한다.

<40> 선택회로(60)는 독출 스테이트 머신(50)으로부터 순차적으로 출력되는 출력 제어신호(ren0, ren1, ren2, ren3)에 응답하여 변환회로(40)에 래치된 병렬 데이터 (d0, d1, d2, d3)를 직렬 데이터(Data_In)와 동일한 순서로 출력한다.

<41> 즉, 선택회로(60)는 대응되는 출력 제어신호(ren0, ren1, ren2, ren3)에 응답하여 각 플립플롭(41, 43, 45, 47)의 출력 데이터(d0, d1, d2, d3)를 출력 데이터(Data_Out)로서 출력한다.

- <42> 기입 제어신호(wresetnn)는 항상 독출 제어신호(rresetnn)보다 먼저 활성화된다. 따라서 독출 스테이트 머신(350)은 입력 데이터(Data_In)가 변환회로(340)에 기입되기 전에 변환회로(340)로부터 데이터를 독출할 수 없다.
- <43> 도 2는 본 발명의 제2실시예에 따른 데이터 전송회로의 블록도를 나타낸다. 도 1 및 도 2를 참조하면, 도 2에 도시된 데이터 전송회로(300)의 구조 및 동작은 제어신호 발생회로(320)가 독출 스테이트 머신(350)으로 선택신호(select)를 더 출력하고 독출 스테이트 머신(350)이 선택신호(select)에 의하여 동작하는 것을 제외하고 도 1에 도시된 데이터 전송회로(100)의 구조 및 동작과 실질적으로 동일하다.
- <44> 즉, 도 2의 지연동기루프(310), 기입 스테이트 머신(330), 변환회로(340), 및 선택회로(360)의 구조 및 동작은 도 1의 지연동기루프(10), 기입 스테이트 머신(30), 변환회로(40), 및 선택회로(60)의 구조 및 동작은 동일하다.
- <45> 도 2 및 도 4를 참조하여 데이터 전송회로(300)의 동작을 설명하면 다음과 같다.
- <46> 제어신호 발생회로(320)는 인에이블 신호(resetnn)에 응답하여 내부 스트로브 신호(wclk) 및 내부 클락신호(rclk)를 수신하고, 내부 스트로브신호(wclk)의 상승에지에 응답하여 활성화되는 기입 제어신호(wresetnn)를 발생하고, 기입 제어신호(wresetnn)가 활성화된 후의 내부 클락신호(rclk)의 최초 상승에지 또는 최초 하강에지에 응답하여 활성화되는 독출 제어신호(rresetnn)를 발생하고, 내부 스트로브 신호(wclk)의 위상과 내부 클락신호(rclk)의 위상을 비교하고 그 비교결과에 상응하는 선택신호(select)를 독출 스테이트 머신(350)으로 출력한다.

- <47> 독출 스테이트 머신(350)은 독출 제어신호(rresetn)에 응답하여 활성화되고, 상응하는 선택신호(select)의 논리 상태(예컨대 논리 하이 또는 논리 로우)에 따라 결정되는 내부 클락신호(rclk)의 상승에지 또는 하강에지로부터 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 출력 제어신호(ren0, ren1, ren2, ren3)를 순차적으로 선택회로(360)로 출력한다.
- <48> 즉, 선택신호(select)는 독출 스테이트 머신(350)이 최초로 사용할 내부 클락신호(rclk)의 에지를 선택하는 선택신호이다.
- <49> 도 3은 도 2에 도시된 제어신호 발생회로의 회로도들을 나타낸다. 도 4를 참조하면, 제어신호 발생회로(320)는 다수개의 플립플롭들(3201, 3203, 3205, 3233, 3235, 3237, 3239, 3241), 다수개의 래치들(3211, 3215, 3221), 두 개의 배타 논리합들(3225, 3227) 및 멀티플렉서(3243)를 구비한다. 제어신호 발생회로(320)는 다수개의 인버터들(3107, 3209, 3229, 3231, 3245, 3247)을 더 구비한다.
- <50> 인에이블 신호(rresetn)는 각 플립플롭(3201, 3203, 3205, 3233, 3235, 3237, 3239, 3241)의 리셋단지(rb)로 입력된다. 인에이블 신호(rresetn)가 논리 하이(high)에서 논리 로우(low)로 천이하는 경우, 각 플립플롭(3201, 3203, 3205, 3233, 3235, 3237, 3239, 3241)은 리셋된다.
- <51> 인에이블 신호(rresetn)는 각 플립플롭(3201, 3233)의 입력단(d)으로 입력되고, 내부 스트로브 신호(wclk)는 각 플립플롭(3201, 3205)의 클락단자(ck)로 입력되고, 반전된 내부 스트로브 신호(wclkb)는 플립플롭(3203)의 클락단자(ck)로 입력된다. 내부 스트로브 신호(wclk)와 반전된 내부 스트로브 신호(wclkb)는 서로 상보적인 신호들이다.

- <52> 플립플롭(3201)의 출력단(o)은 플립플롭(3203)의 입력단(d)과 접속되고, 플립플롭 (3203)의 출력단(o)은 플립플롭(3205)의 입력단(d)과 접속되고, 플립플롭 (3205)의 출력단(o)은 인버터(3207)의 입력단에 접속되고, 인버터(3209)는 인버터 (3207)의 출력신호를 반전시켜 기입 제어신호(wresetnn)로서 기입 스테이트 머신 (330)으로 출력한다.
- <53> 내부 클락신호(rclk)는 각 플립플롭(3233, 3237, 3241)의 클락단자(ck)로 입력되고, 반전된 내부 클락신호(rclkb)는 플립플롭(3235, 3239)의 클락단자(ck)로 입력된다. 내부 클락신호(rclk)와 반전된 내부 클락신호(rclkb)는 서로 상보적인 신호들이다.
- <54> 각 플립플롭(3235, 3237, 3239, 3241)의 입력단(d)은 각 플립플롭(3233, 3235, 3237, 3239)의 출력단(o)에 각각 접속된다.
- <55> 래치(3211)는 두 개의 NAND게이트들(3212, 3213) 및 두 개의 인버터들로 구성되는 R-S 래치로 구현될 수 있다.
- <56> NAND 게이트(3212)의 제1입력단은 플립플롭(3201)의 출력단과 접속되고, 제2입력단은 NAND게이트(3213)의 출력단과 접속된다. NAND 게이트(3213)의 제1입력단은 NAND게이트(3212)의 출력단과 접속되고 제2입력단은 플립플롭(3233)의 출력단과 접속된다. 인버터(3214)는 NAND게이트(3213)의 출력단과 배타 논리합(3227)의 제1입력단사이에 접속된다.
- <57> 래치(3215)는 두 개의 NAND게이트들(3216, 3217) 및 두 개의 인버터들로 구성되는 R-S 래치로 구현될 수 있다.

- <58> NAND 게이트(3216)의 제1입력단은 플립플롭(3203)의 출력단과 접속되고, 제2입력단은 NAND게이트(3217)의 출력단과 접속된다. NAND 게이트(3217)의 제1입력단은 NAND게이트(3216)의 출력단과 접속되고 제2입력단은 플립플롭(3233)의 출력단과 접속된다. 인버터(3219)는 NAND게이트(3217)의 출력단과 배타 논리합(3225)의 제1입력단사이에 접속된다.
- <59> 래치(3221)는 두 개의 NAND게이트들(3212, 3213) 및 두 개의 인버터들로 구성되는 R-S 래치로 구현될 수 있다.
- <60> NAND 게이트(3222)의 제1입력단은 플립플롭(3201)의 출력단과 접속되고, 제2입력단은 NAND게이트(3223)의 출력단과 접속된다. NAND 게이트(3223)의 제1입력단은 NAND게이트(3222)의 출력단과 접속되고 제2입력단은 플립플롭(3235)의 출력단과 접속된다. 인버터(3224)는 NAND게이트(3223)의 출력단과 배타 논리합(3225)의 제2입력단사이에 접속된다.
- <61> 멀티플렉서(3243)는 래치(3211)의 출력신호(S1) 및 배타 논리합(3225)의 출력신호(S0)에 응답하여 각 플립플롭(3235, 3237, 3239, 3241)의 출력신호(r1, r2, r3, r4)중에서 하나의 신호를 선택적으로 인버터(3245)로 출력하고, 인버터(3247)는 인버터(3245)의 출력신호를 반전시켜 독출 제어신호(rresetn)로서 독출 스테이트 머신(350)으로 출력한다.
- <62> 배타 논리합(3227)은 래치(3211)의 출력신호(S1) 및 배타 논리합(3225)의 출력신호(S0)를 수신하고, 이들을 배타 논리합하고, 그 결과를 인버터(3229)로 출력한다. 인버터(3231)는 인버터(3229)의 출력신호를 반전시켜 선택신호(select)로서 독출 스테이트 머신(350)으로 출력한다.

- <63> 도 5는 본 발명의 일실시예에 따른 데이터 입력회로의 타이밍도를 나타낸다. 도 5의 lead는 인에이블 신호(resetnn)가 활성화된 후 가장 먼저 활성화되는 신호를 의미하므로, 내부 스트로브 신호(wclk)가 lead인 경우 내부 스트로브 신호(wclk)는 내부 클락 신호(rclk)보다 먼저 활성화된다. 그리고 비트 시간은 내부 스트로브 신호(wclk)의 한 주기의 절반을 의미한다.
- <64> 도 7은 내부 스트로브 신호의 위상이 내부 클락신호의 위상보다 빠른 경우, 독출 스테이트 머신 인에이블 신호의 활성화시점과 독출 스테이트 머신의 최초 동작시점을 나타내는 타이밍도를 나타낸다.
- <65> 도 3, 도 5, 및 도 7을 참조하여 내부 스트로브 신호(wclk)의 위상이 내부 클락신호(rclk)의 위상보다 0 내지 1비트 시간 빠른 경우(도 7의 경우 I)의 기입 제어신호(wresetnn), 독출 제어신호(rresetnn) 및 선택신호(select)의 활성화 타이밍을 설명하면 다음과 같다.
- <66> 플립플롭(3205)은 인에이블 신호(resetnn)가 활성화 된 후 내부 스트로브 신호(wclk)의 두 번째 상승에지(3)에 응답하여 활성화되는 기입 제어신호(wresetnn)를 직렬 접속된 인버터들(3207, 3209)을 통하여 기입 스테이트 머신(330)으로 출력한다.
- <67> 플립플롭(3235)은 상보 내부 클락신호(rclkb)의 상승에지, 즉 내부 클락신호(rclk)의 첫 번째 하강에지(12)에 응답하여 플립플롭(3233)의 출력신호를 출력신호(r1)로서 출력한다.
- <68> 플립플롭(3237)은 내부 클락신호(rclkb)의 두 번째 상승에지(13)에 응답하여 플립플롭(3235)의 출력신호(r1)를 출력신호(r2)로서 출력한다.

<69> SR 래치(3211)는 플립플롭(3201)의 출력신호 및 플립플롭(3233)의 출력신호를 수신하고 0(논리 로우)의 값을 갖는 신호(S1)를 출력한다. SR 래치(3215)는 플립플롭(3203)의 출력신호 및 플립플롭(3233)의 출력신호를 수신하고 1(논리 하이)의 값을 갖는 신호(S01)를 출력한다. SR래치(3221)는 플립플롭(3201)의 출력신호 및 플립플롭(3235)의 출력신호(r1)를 수신하고 0의 값을 갖는 신호(S02)를 출력한다.

<70> 배타 논리합(3225)은 SR 래치(3215)의 출력신호(S01) 및 SR 래치(3221)의 출력신호(S02)의 수신하고 배타 논리합하고 그 결과(S0)를 출력한다. 이 경우 배타 논리합(3225)의 출력신호(S0)는 1이다.

<71> 표 1은 SR 래치(3211)의 출력신호(S1) 및 배타 논리합(3225)의 출력신호(S0)에 조합에 따른 멀티플렉서(3243)의 출력신호(rresetnn)를 나타낸다.

<72> 따라서 멀티플렉서(3243)는 플립플롭(3237)의 출력신호(r2)를 독출제어신호(rresetnn)로서 독출 스테이트 머신(350)으로 출력한다.

<73> 【표 1】

| S0 | S1 | rresetnn | select |
|----|----|----------|--------|
| 0 | 0 | r1 | 0 |
| 0 | 1 | r2 | 1 |
| 1 | 1 | r3 | 0 |
| 1 | 0 | r4 | 1 |

<74> 그리고 배타 논리합(3227)은 SR 래치(3211)의 출력신호(S1) 및 배타 논리합 (3225)의 출력신호(S0)를 수신하고, 배타 논리합하고, 그 결과를 선택신호(select)로서 인버터(3229)로 출력한다. 배타 논리합(3227)의 출력신호(select)는 직렬 접속된 인버터들

(32339, 3231)을 통하여 독출 스테이트 머신(350)으로 출력된다. 이 경우 배타 논리합 (3227)은 1을 독출 스테이트 머신(350)으로 출력된다.

<75> 제어신호 발생회로(320)는 인에이블 신호(resetnn)가 활성화된 후 내부 스트로브 신호(wclk)의 상승에지(3)에 응답하여 활성화되는 기입 제어신호(wresetnn)를 발생하고, 기입 제어신호(wresetnn)가 활성화된 후 내부 클락신호(rclk)의 최초 상승에지(13)에 응답하여 활성화되는 독출 제어신호(rresetnn)를 발생한다.

<76> 독출 스테이트 머신(350)은 독출 제어신호(rresetnn)가 활성화된 후 내부 클락신호(rclk)의 하강에지(14)에 응답하여 최초로 출력 제어신호(ren0)를 출력하고, 순차적으로 상승 에지 및 하강에지에 응답하여 대응되는 출력신호(ren1, ren2, ren3)를 선택회로(360)로 출력한다.

<77> 도 3, 도 5, 및 도 7을 참조하여 내부 스트로브 신호(wclk)의 위상이 내부 클락신호(rclk)의 위상보다 1 내지 2비트 시간 빠른 경우(도 7의 경우 II)의 기입 제어신호(wresetnn), 독출 제어신호(rresetnn) 및 선택신호(select)의 활성화 타이밍을 설명하면 다음과 같다.

<78> 플립플롭(3205)은 인에이블 신호(resetnn)가 활성화 된 후 내부 스트로브 신호(wclk)의 두 번째 상승에지(3)에 응답하여 활성화되는 기입 제어신호(wresetnn)를 직렬 접속된 인버터들(3207, 3209)을 통하여 기입 스테이트 머신(330)으로 출력한다.

<79> 플립플롭(3235)은 상보 내부 클락신호(rclkb)의 상승에지, 즉 내부 클락신호(rclk)의 첫 번째 하강에지(22)에 응답하여 플립플롭(3233)의 출력신호를 출력신호 (r1)로서 출력한다.

- <80> 플립플롭(3237)은 내부 클락신호(rclk)의 두 번째 상승에지(23)에 응답하여 플립플롭(3235)의 출력신호(r1)를 출력신호(r2)로서 출력한다.
- <81> SR 래치(3211)는 플립플롭(3201)의 출력신호 및 플립플롭(3233)의 출력신호를 수신하고 0(논리 로우)의 값을 갖는 신호(S1)를 출력한다. SR 래치(3215)는 플립플롭(3203)의 출력신호 및 플립플롭(3233)의 출력신호를 수신하고 0의 값을 갖는 신호(S01)를 출력한다. SR래치(3221)는 플립플롭(3201)의 출력신호 및 플립플롭 (3235)의 출력신호(r1)를 수신하고 0의 값을 갖는 신호(S02)를 출력한다.
- <82> 배타 논리합(3225)은 SR 래치(3215)의 출력신호(S01) 및 SR 래치(3221)의 출력신호(S02)의 수신하고 배타 논리합하고 그 결과(S0)를 출력한다. 이 경우 배타 논리합(3225)의 출력신호(S0)는 0이다.
- <83> 표 1에 따라 멀티플렉서(3243)는 플립플롭(3235)의 출력신호(r1)를 독출 제어신호(rresetnn)로서 독출 스테이트 머신(350)으로 출력한다. 이 경우 배타 논리합(3227)은 0의 값을 갖는 선택신호(select)를 독출 스테이트 머신(350)으로 출력한다.
- <84> 독출 스테이트 머신(350)은 독출 제어신호(rresetnn)가 활성화된 후 내부 클락신호(rclk)의 상승에지(23)에 응답하여 최초로 출력 제어신호(ren0)를 출력하고, 순차적으로 하강에지 및 상승에지에 응답하여 대응되는 출력신호(ren1, ren2, ren3)를 선택회로(360)로 출력한다.
- <85> 도 8 내부클락신호의 위상이 내부 스트로브신호의 위상보다 빠른 경우, 독출 스테이트 머신 인에이블 신호의 활성화시점과 독출 스테이트 머신의 최초 동작시점을 나타내는 타이밍도를 나타낸다.

- <86> 도 3, 도 5, 및 도 8을 참조하여 내부 클락신호(rclk)의 위상이 내부 스트로브 신호(wclk)의 위상보다 0 내지 1비트 시간 빠른 경우(도 8의 경우 1)의 기입 제어신호(wresetnn), 독출 제어신호(rresetnn) 및 선택신호(select)의 활성화 타이밍을 설명하면 다음과 같다.
- <87> 플립플롭(3205)은 인에이블 신호(resetnn)가 활성화 된 후 내부 스트로브 신호(wclk)의 두 번째 상승에지(33)에 응답하여 활성화되는 기입 제어신호(wresetnn)를 직렬 접속된 인버터들(3207, 3209)을 통하여 기입 스테이트 머신(330)으로 출력한다.
- <88> 플립플롭(3235)은 상보 내부 클락신호(rclkb)의 첫 번째 상승에지, 즉 내부 클락신호(rclk)의 첫 번째 하강에지(42)에 응답하여 플립플롭(3233)의 출력신호를 출력신호(r1)로서 출력한다.
- <89> 플립플롭(3237)은 내부 클락신호(rclk)의 상승에지(43)에 응답하여 플립플롭(3235)의 출력신호(r1)를 출력신호(r2)로서 출력하고, 플립플롭(3239)은 내부 클락신호(rclk)의 하강에지(44)에 상응하는 상보 내부 클락의 상승에지에 응답하여 플립플롭(3237)의 출력신호(r2)를 출력신호(r3)로서 출력한다.
- <90> SR 래치(3211)는 1의 값을 갖는 신호(S1)를 출력하고, SR 래치(3215)는 1의 값을 갖는 신호(S01)를 출력하고, SR래치(3221)는 0의 값을 갖는 신호(S02)를 출력하고, 배타 논리합(3255)은 1의 값을 갖는 신호(S0)를 출력하고, 배타 논리합 (3227)의 출력신호는 0의 값을 갖는다. 따라서 선택신호(select)는 0의 값을 갖는다.
- <91> 표 1에 의하여 멀티플렉서(3243)는 플립플롭(3239)의 출력신호(r3)를 독출 제어신호(rresetnn)로서 출력한다.

- <92> 제어신호 발생회로(320)는 인에이블 신호(resetnn)가 활성화된 후 내부 스트로브 신호(wclk)의 상승에지(33)에 응답하여 활성화되는 기입 제어신호(wresetnn)를 발생하고, 기입 제어신호(wresetnn)가 활성화된 후 내부 클락신호(rclk)의 최초 하강에지(44)에 응답하여 활성화되는 독출 제어신호(rresetnn)를 발생한다.
- <93> 독출 스테이트 머신(350)은 독출 제어신호(rresetnn)가 활성화된 후, 최초의 내부 클락신호(rclk)의 상승에지(45)에 응답하여 최초로 출력 제어신호(ren0)를 출력하고, 순차적으로 하강 에지 및 상승 에지에 응답하여 대응되는 출력신호(ren1, ren2, ren3)를 선택회로(360)로 출력한다.
- <94> 도 3, 도 5, 및 도 8을 참조하여 내부 스트로브 신호(wclk)의 위상이 내부 클락신호(rclk)의 위상보다 1 내지 2비트 시간 빠른 경우(도 8의 경우 II)의 기입 제어신호(wresetnn), 독출 제어신호(rresetnn) 및 선택신호(select)의 활성화 타이밍을 설명하면 다음과 같다.
- <95> 플립플롭(3205)은 인에이블 신호(resetnn)가 활성화 된 후 내부 스트로브 신호(wclk)의 두 번째 상승에지(33)에 응답하여 활성화되는 기입 제어신호(wresetnn)를 직렬 접속된 인버터들(3207, 3209)을 통하여 기입 스테이트 머신(330)으로 출력한다.
- <96> 플립플롭(3235)은 상보 내부 클락신호(rclkb)의 첫 번째 상승에지, 즉 내부 클락신호(rclk)의 첫 번째 하강에지(52)에 응답하여 플립플롭(3233)의 출력신호를 출력신호(r1)로서 출력한다.
- <97> 플립플롭(3237)은 내부 클락신호(rclk)의 상승에지(53)에 응답하여 플립플롭(3235)의 출력신호(r1)를 출력신호(r2)로서 출력하고, 플립플롭(3239)은 내부 클락신호

(rclk)의 하강에지(54)에 상응하는 상보 내부 클락의 상승에지에 응답하여 플립플롭 (3237)의 출력신호(r2)를 출력신호(r3)로서 출력한다. 그리고 플립플롭 (3241)은 내부 클락신호(rclk)의 상승에지(55)에 응답하여 플립플롭(3239)의 출력신호(r3)를 출력신호 (r4)로서 출력한다.

<98> SR 래치(3211)는 1의 값을 갖는 신호(S1)를 출력하고, SR 래치(3215)는 1의 값을 갖는 신호(S01)를 출력하고, SR래치(3221)는 1의 값을 갖는 신호(S02)를 출력하고, 배타 논리합(3255)은 0의 값을 갖는 신호(S0)를 출력하고, 배타 논리합 (3227)의 출력신호는 1의 값을 갖는다. 따라서 선택신호(select)는 1의 값을 갖는다.

<99> 표 1에 의하여 멀티플렉서(3243)는 플립플롭(3239)의 출력신호(r4)를 독출 제어신호(rresetnn)로서 출력한다.

<100> 제어신호 발생회로(320)는 인에이블 신호(resetnn)가 활성화된 후 내부 스트로브 신호(wclk)의 상승에지(33)에 응답하여 활성화되는 기입 제어신호(wresetnn)를 발생하고, 기입 제어신호(wresetnn)가 활성화된 후 내부 클락신호(rclk)의 최초 상승에지(55)에 응답하여 활성화되는 독출 제어신호(rresetnn)를 발생한다.

<101> 독출 스테이트 머신(350)은 독출 제어신호(rresetnn)가 활성화된 후, 최초의 내부 클락신호(rclk)의 하강에지(56)에 응답하여 최초로 출력 제어신호(ren0)를 출력하고, 순차적으로 하강 에지 및 상승 에지에 응답하여 대응되는 출력신호(ren1, ren2, ren3)를 선택회로(360)로 출력한다.

- <102> 도 6은 본 발명의 제2실시예에 따른 제어신호 발생회로의 동작을 나타내는 흐름도이다. 도 3 내지 도 8을 참조하여 본 발명에 따른 제어신호 전송 방법을 간단히 설명하면 다음과 같다.
- <103> 제어신호 발생회로(320)는 인에이블 신호(rresetnn)의 활성화 여부를 판단하고(720), 인에이블 신호(rresetnn)가 활성화된 경우 제어신호 발생회로(320)는 내부 스트로브 신호(wclk)의 위상과 내부 클락신호(rclk)의 위상을 비교한다(730).
- <104> 내부 스트로브 신호(wclk)의 위상이 내부 클락신호(rclk)의 위상보다 빠른 경우, 제어신호 발생회로(320)는 앞서는 시간(즉, 비트 타임)을 판단하고(740), 내부 스트로브 신호(wclk)의 위상이 내부 클락신호(rclk)의 위상보다 0 내지 1비트 빠른 경우, 독출 스테이트 머신(350)은 독출 제어신호(rresetnn)가 활성화된 후 내부 클락신호(rclk)의 최초의 하강에지(도 7의 14)에 응답하여 출력 제어신호(ren0)를 발생한다(760).
- <105> 내부 스트로브 신호(wclk)의 위상이 내부 클락신호(rclk)의 위상보다 0 내지 1비트 빠른 경우, 독출 스테이트 머신(350)은 독출 제어신호(rresetnn)가 활성화된 후 내부 클락신호(rclk)의 최초의 상승에지(도 7의 23)에 응답하여 출력 제어신호(ren0)를 발생한다(770).
- <106> 그러나, 내부 클락신호(rclk)의 위상이 내부 스트로브 신호(wclk)의 위상보다 빠른 경우, 제어신호 발생회로(320)는 앞서는 시간(즉, 비트 타임)을 판단하고(750), 내부 클락신호(rclk)의 위상이 내부 스트로브 신호(wclk)의 위상보다 0 내지 1비트 빠른 경우, 독출 스테이트 머신(350)은 독출 제어신호(rresetnn)가 활성화된 후 내부 클락신호(rclk)의 최초의 상승에지(도 8의 45)에 응답하여 출력 제어신호(ren0)를 발생한다(780).

<107> 내부 클럭신호(rclk)의 위상이 내부 스트로브 신호(wclk)의 위상보다 1 내지 2비트 빠른 경우, 독출 스테이트 머신(350)은 독출 제어신호(rresetnn)가 활성화된 후 내부 클럭신호(rclk)의 최초의 하강에지(도 8의 56)에 응답하여 출력 제어신호 (ren0)를 발생한다(790).

<108> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<109> 상술한 바와 같이 본 발명에 따른 제어신호 발생회로는 데이터 입력과 데이터 출력 사이에 불필요한 레이턴시를 감소시키기 위한 제어신호들을 발생하고, 상기 제어신호 발생회로를 구비하는 데이터 전송회로는 최소의 레이턴시를 갖는 상기 제어신호들에 응답하여 액세스 시간을 감소시키는 효과가 있다.

【특허청구범위】

【청구항 1】

데이터 전송회로에 있어서,

인에이블 신호에 응답하여 스트로브 신호 및 클락신호를 수신하고, 상기 스트로브 신호의 상승에지에 응답하여 활성화되는 기입 제어신호를 발생하고, 상기 기입 제어신호가 활성화된 후의 상기 클락신호의 최초 상승에지 또는 최초 하강에지에 응답하여 활성화되는 독출 제어신호를 발생하는 제어신호 발생회로;

상기 기입 제어신호에 응답하여 활성화되고, 상기 스트로브 신호에 동기되어 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 입력 제어신호를 순차적으로 출력하는 기입 스테이트 머신;

상기 기입 스테이트 머신으로부터 순차적으로 출력되는 상기 입력 제어신호에 응답하여 직렬 데이터를 병렬 데이터로 변환하고, 래치하는 변환회로;

상기 독출 제어신호에 응답하여 활성화되고, 상기 클락신호에 동기되어 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 출력 제어신호를 순차적으로 출력하는 독출 스테이트 머신; 및

상기 독출 스테이트 머신으로부터 순차적으로 출력되는 상기 출력 제어신호에 응답하여 상기 변환회로에 래치된 상기 병렬 데이터를 상기 직렬 데이터와 동일한 순서로 출력하는 선택회로를 구비하는 것을 특징으로 하는 데이터 전송회로.

【청구항 2】

제1항에 있어서, 상기 변환회로는 다수개의 플립플롭들을 구비하며, 상기 다수개의 플립플롭들 각각은 대응되는 상기 입력 제어신호에 응답하여 상기 직렬 데이터를 구성하는 각 데이터를 래치하는 것을 특징으로 하는 데이터 전송회로.

【청구항 3】

제1항에 있어서, 상기 독출 스테이트 머신은 상기 독출 제어신호가 활성화된 후의 상기 클락신호의 최초 상승에지 또는 최초 하강에지에 응답하여 최초로 상기 내부 스테이트를 변화시키는 것을 특징으로 하는 데이터 전송회로.

【청구항 4】

제어신호 발생회로에 있어서,

스트로브 신호를 수신하는 제1입력단;

클락신호를 수신하는 제2입력단;

인에이블 신호를 수신하는 제어단;

기입 제어신호를 출력하는 제1출력단;

독출 제어신호를 출력하는 제2출력단; 및

선택신호를 출력하는 제3출력단을 구비하며,

활성화되는 상기 인에이블 신호에 응답하여 상기 스트로브 신호 및 상기 클락신호를 수신하고, 상기 스트로브신호의 상승에지에 응답하여 활성화되는 기입 제어신호를 발생하고, 상기 기입 제어신호가 활성화된 후의 상기 클락신호의 최초 상승에지 또는 최초 하강에지에 응답하여 활성화되는 독출 제어신호를 발생하고, 상기 스트로브 신호의 위

상과 상기 클락신호의 위상을 비교하고 그 비교결과에 상응하는 상기 선택신호를 출력하는 것을 특징으로 하는 제어신호 발생회로.

【청구항 5】

제4항에 있어서, 상기 제어신호 발생회로에 있어서,

상기 스트로브 신호에 클락되어 상기 인에이블 신호를 래치하는 제1래치;

상기 스트로브 신호의 상보 신호에 클락되어 상기 제1래치의 출력신호를 래치하는 제2래치;

상기 스트로브 신호에 클락되어 상기 제2래치의 출력신호를 상기 기입 제어신호로서 출력하는 제3래치;

상기 클락신호에 클락되어 상기 인에이블 신호를 래치하는 제4래치;

상기 클락신호의 상보신호에 클락되어 상기 제4래치의 출력신호를 래치하는 제5래치;

상기 클락신호에 클락되어 상기 제5래치의 출력신호를 래치하는 제6래치;

상기 클락신호의 상보신호에 클락되어 상기 제6래치의 출력신호를 래치하는 제7래치;

상기 스트로브 신호에 클락되어 상기 제7래치의 출력신호를 래치하는 제8래치;

상기 제1래치의 출력신호 및 상기 제4래치의 출력신호를 수신하는 제1 SR 래치;

상기 제2래치의 출력신호 및 상기 제4래치의 출력신호를 수신하는 제2 SR 래치;

상기 제1래치의 출력신호 및 상기 제5래치의 출력신호를 수신하는 제3 SR 래치;

상기 제2 SR 래치의 출력신호 및 상기 제3 SR의 출력신호를 수신하는 제1배타 논리합;

상기 제1 SR 래치의 출력신호 및 상기 제1 배타논리합의 출력신호를 수신하고, 이들의 배타 논리합 결과를 선택신호로서 출력하는 제2배타 논리합; 및

상기 제1배타 논리합의 출력신호 및 상기 제2 배타 논리합의 출력신호의 조합에 응답하여 상기 제5 래치 내지 상기 제8래치의 출력신호들 중에서 하나를 독출 제어신호로서 출력하는 멀티플렉서를 구비하는 것을 특징으로 하는 제어신호 발생회로.

【청구항 6】

상기 제4항의 제어신호 발생회로를 구비하는 데이터 전송회로에 있어서,

상기 데이터 전송회로는,

상기 기입 제어신호에 응답하여 활성화되고, 상기 스트로브 신호에 동기되어 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 입력 제어신호를 순차적으로 출력하는 기입 스테이트 머신;

상기 기입 스테이트 머신으로부터 순차적으로 출력되는 상기 입력 제어신호에 응답하여 직렬 데이터를 병렬 데이터로 변환하고, 래치하는 변환회로;

상기 독출 제어신호에 응답하여 활성화되고, 상응하는 상기 선택신호의 상태에 따라 결정되는 상기 클락신호의 상승에지 또는 하강에지로부터 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 출력 제어신호를 순차적으로 출력하는 독출 스테이트 머신; 및

상기 독출 스테이트 머신으로부터 순차적으로 출력되는 상기 출력 제어신호에 응답하여 상기 변환회로에 래치된 상기 병렬 데이터를 상기 직렬 데이터와 동일한 순서로 출력하는 선택회로를 더 구비하는 것을 특징으로 하는 데이터 전송회로.

【청구항 7】

제6항에 있어서, 상기 변환회로는 다수개의 플립플롭들을 구비하며, 상기 다수개의 플립플롭들 각각은 대응되는 상기 입력 제어신호에 응답하여 상기 직렬 데이터를 구성하는 각 데이터를 래치하는 것을 특징으로 하는 데이터 전송회로.

【청구항 8】

데이터 전송회로에 있어서,

인에이블 신호에 응답하여 스트로브 신호 및 클락신호를 수신하고, 상기 스트로브 신호의 상승에지에 응답하여 활성화되는 기입 제어신호를 발생하고, 상기 기입 제어신호가 활성화된 후의 상기 클락신호의 최초 상승에지 또는 최초 하강에지에 응답하여 활성화되는 독출 제어신호를 발생하고, 상기 스트로브 신호의 위상과 상기 클락신호의 위상을 비교하고 그 비교결과에 상응하는 선택신호를 출력하는 제어신호 발생회로;

상기 기입 제어신호에 응답하여 활성화되고, 상기 스트로브 신호에 동기되어 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 입력 제어신호를 순차적으로 출력하는 기입 스테이트 머신;

상기 기입 스테이트 머신으로부터 순차적으로 출력되는 상기 입력 제어신호에 응답하여 직렬 데이터를 병렬 데이터로 변환하고, 래치하는 변환회로;

상기 독출 제어신호에 응답하여 활성화되고, 상응하는 상기 선택신호의 상태에 따라 결정되는 상기 클락신호의 상승에지 또는 하강에지로부터 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 출력 제어신호를 순차적으로 출력하는 독출 스테이트 머신; 및

상기 독출 스테이트 머신으로부터 순차적으로 출력되는 상기 출력 제어신호에 응답하여 상기 변환회로에 래치된 상기 병렬 데이터를 상기 직렬 데이터와 동일한 순서로 출력하는 선택회로를 구비하는 것을 특징으로 하는 데이터 전송회로.

【청구항 9】

데이터 전송방법 있어서,

인에이블 신호에 응답하여 스트로브 신호 및 클락신호를 수신하고, 상기 스트로브 신호의 상승에지에 응답하여 활성화되는 기입 제어신호를 발생하고, 상기 기입 제어신호가 활성화된 후 처음으로 상태를 천이하는 클락신호의 에지에 응답하여 활성화되는 독출 제어신호를 발생하는 단계;

상기 기입 제어신호에 응답하여 활성화되고, 상기 스트로브 신호에 동기되어 내부 스테이트를 순차적으로 변화시키고 순차적으로 변화되는 상기 내부 스테이트에 응답하여 입력 제어신호를 순차적으로 출력하는 단계;

상기 기입 스테이트 머신으로부터 순차적으로 출력되는 상기 입력 제어신호에 응답하여 직렬 데이터를 병렬 데이터로 변환하고, 래치하는 단계;

상기 독출 제어신호에 응답하여 활성화되고, 상기 클락신호에 동기되어 내부 스테이트를 순차적으로 변화시키고 순차적으로 변화되는 상기 내부 스테이트에 응답하여 출력 제어신호를 순차적으로 출력하는 단계; 및

상기 독출 스테이트 머신으로부터 순차적으로 출력되는 상기 출력 제어신호에 응답하여 상기 변환회로에 래치된 상기 병렬 데이터를 상기 직렬 데이터와 동일한 순서로 출력하는 단계를 구비하는 것을 특징으로 하는 데이터 전송방법.

【청구항 10】

제9항에 있어서, 상기 독출 제어신호를 순차적으로 출력하는 단계는 상기 독출 제어신호가 활성화된 후의 상기 클락신호의 최초 상승에지 또는 최초 하강에지에 응답하여 최초로 상기 내부 스테이트를 변화시키는 단계인 것을 특징으로 하는 데이터 전송방법.

【청구항 11】

데이터 전송방법에 있어서,

인에이블 신호에 응답하여 스트로브 신호 및 클락신호를 수신하고, 상기 스트로브 신호의 상승에지에 응답하여 활성화되는 기입 제어신호를 발생하고, 상기 기입 제어신호가 활성화된 후의 상기 클락신호의 최초 상승에지 또는 최초 하강에지에 응답하여 활성화되는 독출 제어신호를 발생하고, 상기 스트로브 신호의 위상과 상기 클락신호의 위상을 비교하고 그 비교결과에 상응하는 선택신호를 출력하는 단계;

상기 기입 제어신호에 응답하여 활성화되고, 상기 스트로브 신호에 동기되어 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 입력 제어신호를 순차적으로 출력하는 단계;

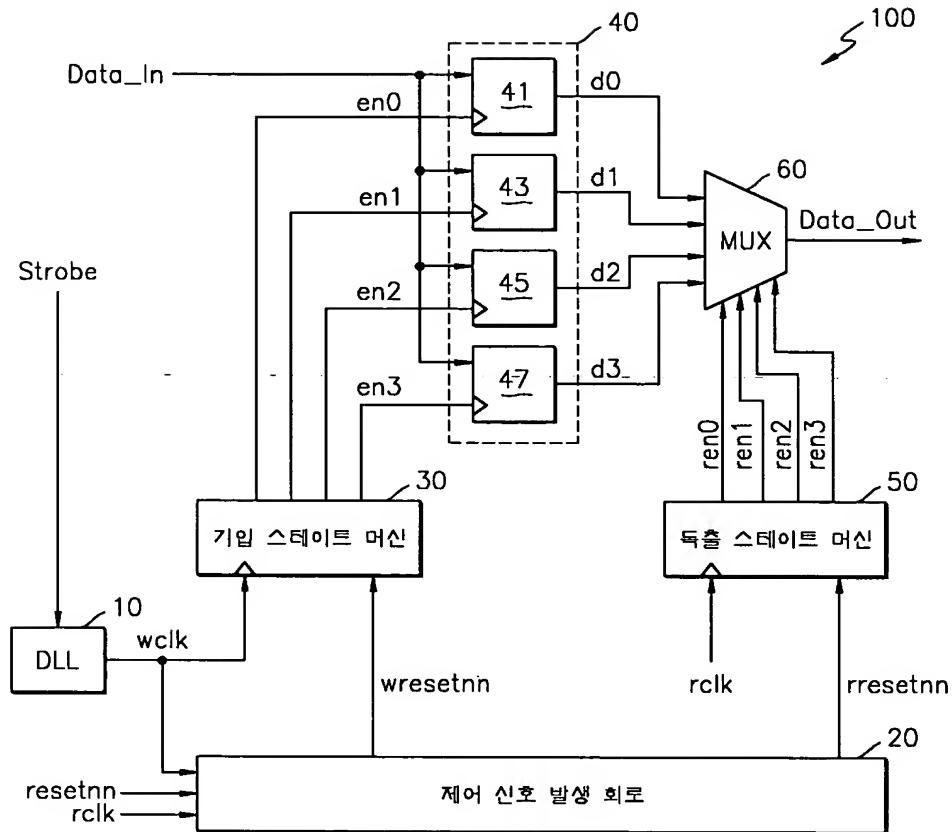
상기 기입 스테이트 머신으로부터 순차적으로 출력되는 상기 입력 제어신호에 응답하여 직렬 데이터를 병렬 데이터로 변환하고, 래치하는 단계;

상기 독출 제어신호에 응답하여 활성화되고, 상응하는 상기 선택신호의 상태에 따라 결정되는 상기 클락신호의 상승에지 또는 하강에지로부터 내부 스테이트를 순차적으로 변화시키고, 순차적으로 변화되는 상기 내부 스테이트에 응답하여 출력 제어신호를 순차적으로 출력하는 단계; 및

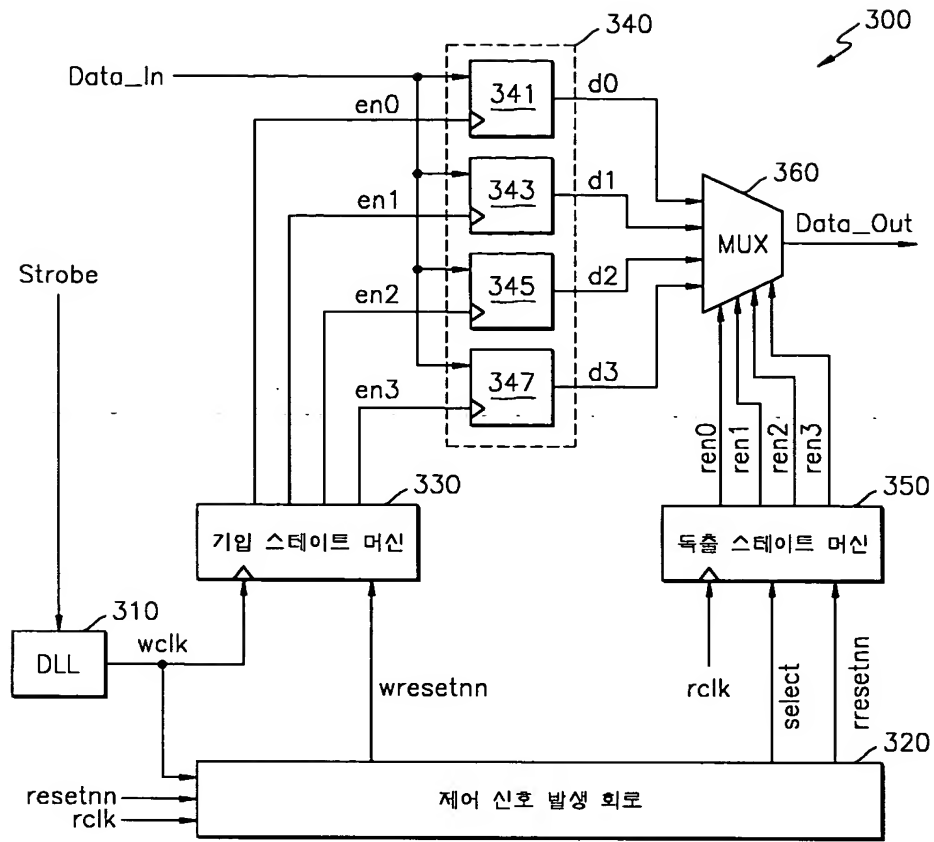
상기 독출 스테이트 머신으로부터 순차적으로 출력되는 상기 출력 제어신호에 응답하여 상기 변환회로에 래치된 상기 병렬 데이터를 상기 직렬 데이터와 동일한 순서로 출력하는 단계를 구비하는 것을 특징으로 하는 데이터 전송방법.

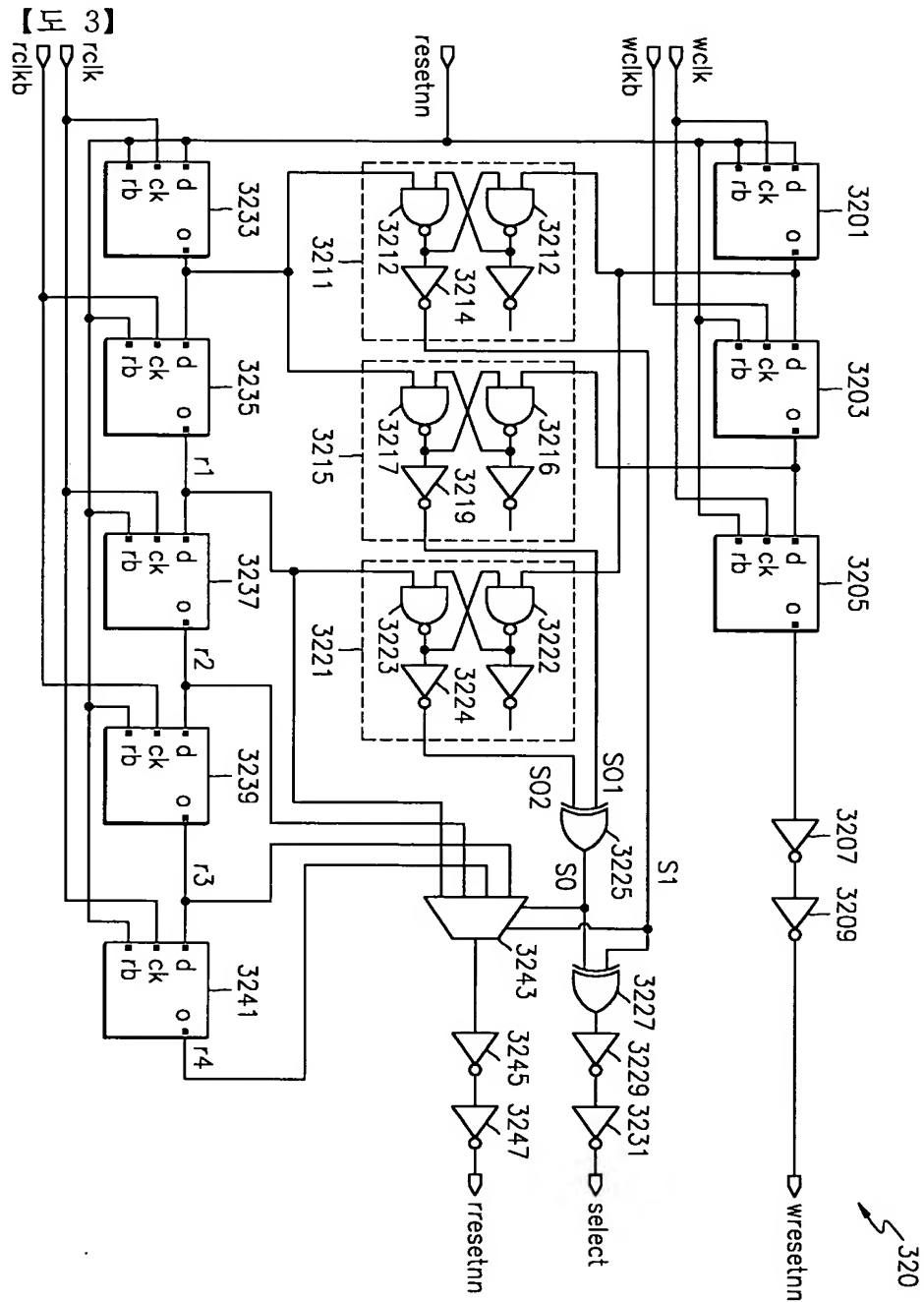
【도면】

【도 1】

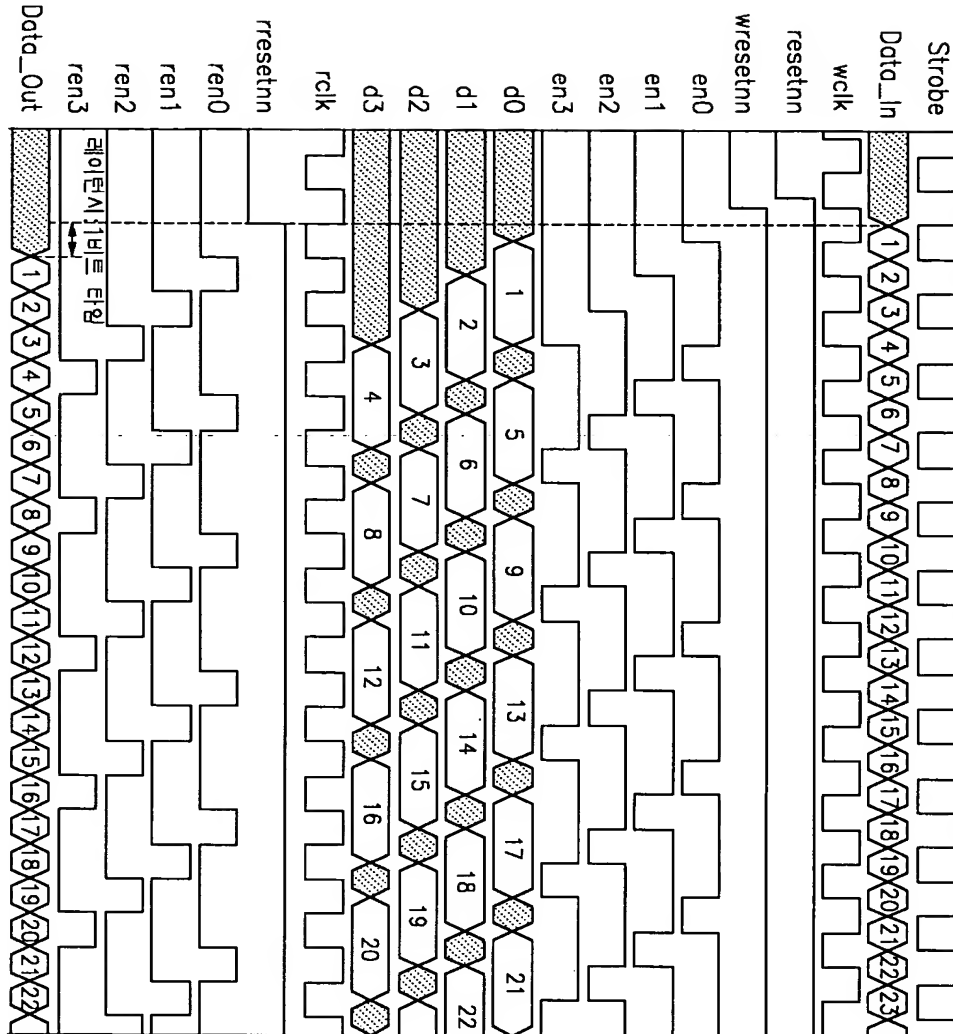


【도 2】





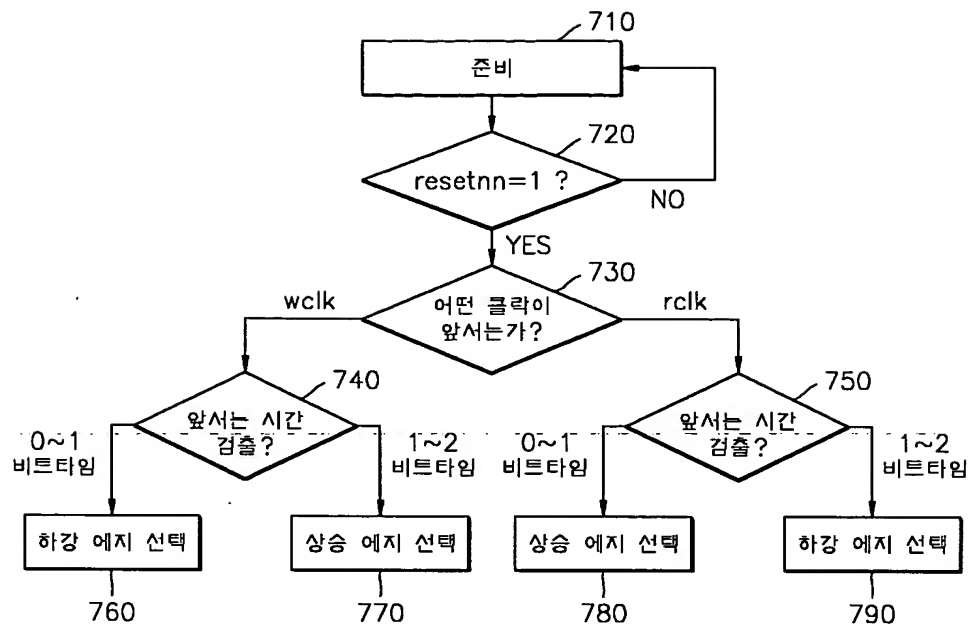
【도 4】



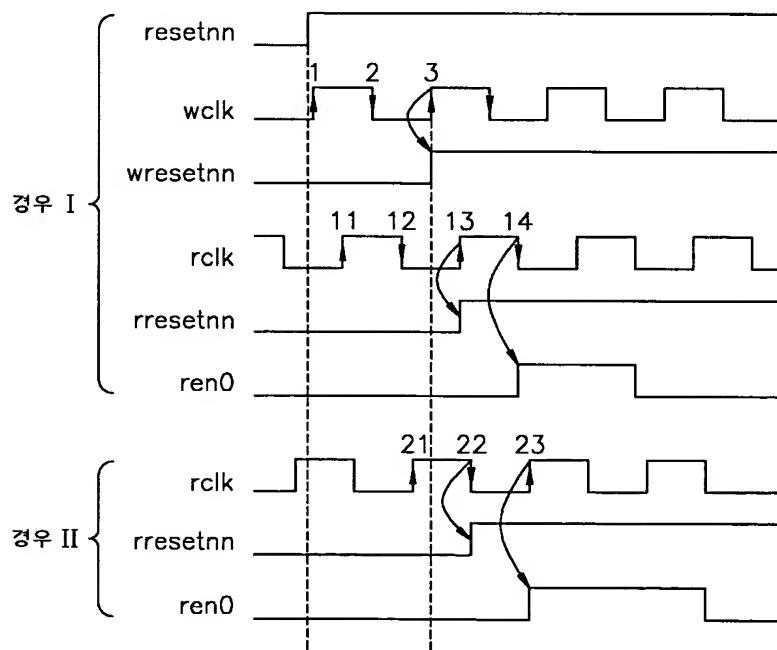
【도 5】

| lead | 지연 (비트타임) | s1 | s01 | s02 | s0 | rresetnn | select |
|------|--------------|----|-----|-----|----|----------|--------|
| wclk | 0~1 | 0 | 1 | 0 | 1 | r2 | 하강 에지 |
| | 1~2 | 0 | 0 | 0 | 0 | r1 | 상승 에지 |
| rclk | 0~1 | 1 | 1 | 0 | 1 | r3 | 상승 에지 |
| | 1~2 | 1 | 1 | 1 | 0 | r4 | 하강 에지 |

【도 6】



【도 7】



【도 8】

